

D-latch

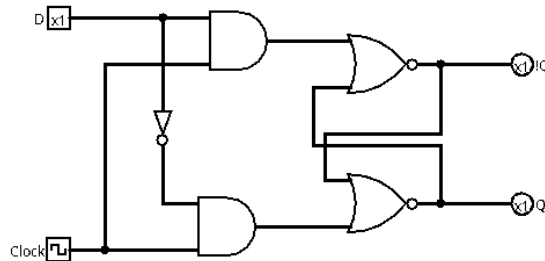
leo

March 18, 2023

Un SR-latch sincronizzato tramite clock il che garantisce che il latch cambi stato solo in certi momenti.

- $D = 1$ corrisponde all'operazione di SET.
- $D = 0$ corrisponde all'operazione di RESET.

Quando il clock è **deasserted** (*clock basso*) non viene memorizzato alcun valore. Quando il clock è **asserted** (*clock alto*) viene memorizzato il valore.



Quando il segnale di clock arriva al falling-edge, D deve essere valido per evitare di memorizzare un stato errato.

